

W/024

SYNCHRONIZED CHANGING DEVICE

Patent Number: JP8251151

Publication date: 1996-09-27

Inventor(s): HOSOYA KAORI

Applicant(s): NEC CORP

Requested Patent: JP8251151

Application Number: JP19950052456 19950313

Priority Number(s):

IPC Classification: H04L7/00; H04L7/08

EC Classification:

Equivalents: JP2715966B2

Abstract

PURPOSE: To obtain the concrete constitution of a synchronized switching device capable of switching line without hit.

CONSTITUTION: An active-side data signal DATA1 is directly inputted to a switching circuit 7 and a reserving-side data signal DATAIS is delayed by a FIFO memory 12 to be a data signal DATAR and inputted to the switching circuit 7. A counting circuit 5 detects the relative delay time difference between both data signals inputted to the switching circuit 7 from a frame pulse generated by frame synchronization circuits 3 and 4. A control circuit 6 controls the frequency dividing rate N of an N-frequency divider 12 so as to eliminate the relative delay time difference. When a frequency dividing rate N is made larger than the frequency dividing rate M of an M-frequency divider 11, the delay quantity of the FIFO memory 12 is increased but when being made smaller, the delay quantity is reduced. This control eliminates the relative delay time difference between both data signals inputted to the switching circuit 7 to attain synchronized switching.

Data supplied from the esp@cenet database - I2

TOP

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-251151

(43)公開日 平成8年(1996)9月27日

(51) Int.Cl.⁶ 識別記号 執内整理番号 F I 技術表示箇所
H 0 4 L 7/00 H 0 4 L 7/00 Z
7/08 7/08 Z

審査請求 有 請求項の数 2 OJ (全 6 頁)

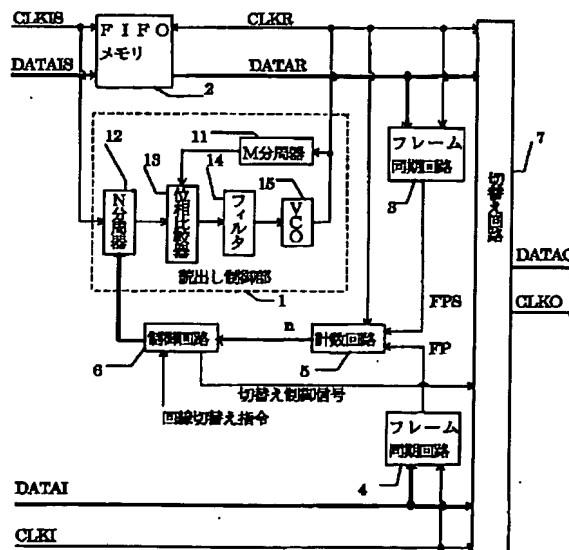
(21)出願番号	特願平7-52456	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成7年(1995)3月13日	(72)発明者	細谷 香織 東京都港区芝五丁目7番1号 日本電気株 式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 同期切替え装置

(57) 【要約】

【目的】瞬断無しに回線切替えができる同期切替え装置の具体的な構成を提供すること。

【構成】現用側データ信号DATAIが直接に、予備側データ信号DATASはFIFOメモリ12で遅延されデータ信号DATARとなって切替え回路7に入力する。計数回路5はフレーム同期回路3、4が発生するフレームパルスから切替え回路7に入力する両データ信号の相対遅延時間差を検出する。制御回路6は相対遅延時間差が無くなるようにN分周器12の分周比Nを制御する。分周比NをM分周器11の分周比Mより大きくするとFIFOメモリ12の遅延量は増大し、小さくすると減少する。この制御により切替え回路7に入力する両データ信号の相対遅延時間差が無くなり同期切替えができる。



1

2

【特許請求の範囲】

【請求項1】 現用無線回線で伝送されてきた現用側データ信号と前記現用無線回線を切替えるべき予備無線回線で伝送されてきた予備側データ信号との相対遅延時間差を調整して前記現用側データ信号を前記予備側データ信号に瞬断無しに切替える同期切替え装置であって、入力するクロック信号を分周比M (Mは2以上の整数) で分周して出力する第1の分周器と、前記予備側データ信号のクロックである予備側クロック信号を分周比N (Nは2以上の整数) で分周して出力する第2の分周器と、前記第1及び第2の分周器がそれぞれ分周して出力した信号の位相差を検出する位相比較器と、この位相比較器が検出した位相差が小さくなるように出力位相が制御されて前記クロック信号を発生し前記第1の分周器へ出力する可変周波数発振器とを備え、前記クロック信号を読み出しクロック信号として出力する読み出し制御部と、前記予備側データ信号を入力し前記予備側クロック信号を書き込みクロックとして順次書き込み前記読み出し制御部から供給される前記読み出しクロック信号を読み出しクロックとして順次読み出し出力するFIFOメモリと、このFIFOメモリが読み出したデータ信号にフレーム同期して予備側フレームパルスを出力する予備側フレーム同期回路と、前記現用側データ信号にフレーム同期して現用側フレームパルスを出力する現用側フレーム同期回路と、前記現用側フレームパルスに対する前記予備側フレームパルスの進み遅れを検出し進んでいるときは前記分周比Mに対する前記分周比Nの比である値N/Mを1より大きくし遅れているときは1より小さくするように前記第1及び第2の分周器の少なくともいずれか一方の分周比を制御し前記現用側フレームパルスと前記予備側フレームパルスとのタイミングが一致すると切替え制御信号を出力する制御手段と、前記現用側データ信号と前記現用側データ信号のクロックである現用側クロック信号と前記FIFOメモリが読み出したデータ信号と前記読み出しクロック信号とを入力し前記制御手段から前記切替え制御信号が入力するまでは前記現用側データ信号と前記現用側クロック信号とを選択して出力し前記切替え制御信号が入力すると前記FIFOメモリが読み出したデータ信号と前記読み出しクロック信号とを選択して出力する切替え回路とを具備することを特徴とする同期切替え装置。

【請求項2】 前記制御手段は、前記現用側フレームパルスが入力してから前記予備側フレームパルスが入力するまでの期間に入力する前記読み出しクロック信号を計数して計数値を出力する計数回路と、前記現用側データ信号と前記予備側データ信号とのフレーム長の情報および前記計数回路が出力した前記計数値に基づいて前記現用側フレームパルスに対する前記予備側フレームパルスの進み遅れを検出し進んでいるときは前記分周比Nを前記分周比Mより大きくし遅れているときは前記分周比Mより小さくし進み遅れないときは前記分周比Mに等しく

するように前記第2の分周器の分周比Nを制御する制御回路とを含むことを特徴とする請求項1記載の同期切替え装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル無線通信システムに使用される同期切替え装置に関し、特にデジタル無線通信システムの受端で現用回線を予備回線に瞬断無しに切替える同期切替え装置に関する。

10 【0002】

【従来の技術】 通信システムの現用回線を予備回線に切替える場合、まず送端で予備回線を現用回線に並列に接続して伝送する信号を予備回線にも通し、続いて受端を現用回線から予備回線に切替える。伝送する信号がデジタル信号であり現用回線と予備回線との相対遅延時間差が1クロック周期以上あると、現用回線で伝送されてきた信号と予備回線で伝送されてきた信号とをそのまま受端で切替えるとピットが欠落したり重複したりして瞬断が生じる。この瞬断を避けるために相対遅延時間差を1クロック周期以内に調整する必要がある。

【0003】 回線が無線回線の場合、伝播時間がフェーリング等で変動して現用回線と予備回線との相対遅延時間差が1クロック周期以上変動することがある。そのため、相対遅延時間差の平均、いいかえれば相対遅延時間差の固定成分が1クロック周期以内になるように初期調整しておくが、更に変動成分の調整が必要である。

【0004】 相対遅延時間差を調整するために可変遅延回路を設け、現用回線で伝送されてきた信号と予備回線で伝送されてきた信号とのフレーム位相を比較して相対遅延時間差を検出し、この検出結果に基づき可変遅延回路の遅延量を制御する方式の同期切替え装置が知られている。

【0005】

【発明が解決しようとする課題】 本発明の目的は、かかる方式をとる同期切替え装置の具体的な構成を提供することにある。

【0006】

【課題を解決するための手段】 本発明の同期切替え装置は、現用無線回線で伝送されてきた現用側データ信号と前記現用無線回線を切替えるべき予備無線回線で伝送されてきた予備側データ信号との相対遅延時間差を調整して前記現用側データ信号を前記予備側データ信号に瞬断無しに切替える同期切替え装置であって、入力するクロック信号を分周比M (Mは2以上の整数) で分周して出力する第1の分周器と、前記予備側データ信号のクロックである予備側クロック信号を分周比N (Nは2以上の整数) で分周して出力する第2の分周器と、前記第1及び第2の分周器がそれぞれ分周して出力した信号の位相差を検出する位相比較器と、この位相比較器が検出した位相差が小さくなるように出力位相が制御されて前記ク

ロック信号を発生し前記第1の分周器へ出力する可変周波数発振器とを備え、前記クロック信号を読み出しクロック信号として出力する読み出し制御部と、前記予備側データ信号を入力し前記予備側クロック信号を書き込みクロックとして順次書き込み前記読み出し制御部から供給される前記読み出しクロック信号を読み出しクロックとして順次読み出し出力する FIFOメモリと、このFIFOメモリが読み出したデータ信号にフレーム同期して予備側フレームパルスを出力する予備側フレーム同期回路と、前記現用側データ信号にフレーム同期して現用側フレームパルスを出力する現用側フレーム同期回路と、前記現用側フレームパルスに対する前記予備側フレームパルスの進み遅れを検出し進んでいるときは前記分周比Mに対する前記前記分周比Nの比である値N/Mを1より大きくし遅れているときは1より小さくするように前記第1及び第2の分周器の少なくともいずれか一方の分周比を制御し前記現用側フレームパルスと前記予備側フレームパルスとのタイミングが一致すると切替え制御信号を出力する制御手段と、前記現用側データ信号と前記現用側データ信号のクロックである現用側クロック信号と前記FIFOメモリが読み出したデータ信号と前記読み出しクロック信号とを入力し前記制御手段から前記切替え制御信号が入力するまでは前記現用側データ信号と前記現用側クロック信号とを選択して出力し前記切替え制御信号が入力すると前記FIFOメモリが読み出したデータ信号と前記読み出しクロック信号とを選択して出力する切替え回路とを具備している。

【0007】本発明における前記制御手段は、前記現用側フレームパルスが入力してから前記予備側フレームパルスが入力するまでの期間に入力する前記読み出しクロック信号を計数して計数值を出力する計数回路と、前記現用側データ信号と前記予備側データ信号とのフレーム長の情報および前記計数回路が出力した前記計数值に基づいて前記現用側フレームパルスに対する前記予備側フレームパルスの進み遅れを検出し進んでいるときは前記分周比Nを前記分周比Mより大きくし遅れているときは前記分周比Mより小さくし進み遅れないときは前記分周比Mに等しくするように前記第2の分周器の分周比Nを制御する制御回路とを含んでいてよい。

【0008】

【実施例】次に本発明について図面を参照して説明する。

【0009】本発明の1実施例を示す図1を参照すると、読み出し制御部1のM分周器11は、入力するクロック信号をM分周して出力する。N分周器12は、分周比Nが可変な分周器であり、予備回線で伝送されてきた予備側データ信号DATAISのクロックである予備側クロック信号CLKISをN分周して出力する。位相比較器13は、M分周器11出力とN分周器12出力との位相差を検出して検出結果を出力する。排他的論理回路

を位相比較器13として用いることができる。フィルタ14は位相比較器13出力を平滑化して出力する。VCO15は、フィルタ14出力により出力位相が制御されるクロック発生器であり、発生したクロック信号をM分周器11へ出力し、又、読み出しクロック信号CLKRとして出力する。VCO15の出力位相はフィルタ14出力が小さくなるように、いいかえればM分周器11出力とN分周器12出力との位相差が小さくなるように制御される。N分周器12の分周比NがM分周器11の分周比Mと等しければ、VCO15の出力する読み出しクロック信号CLKRは予備側クロック信号CLKISに位相同期している。

【0010】FIFOメモリ2は、予備側クロック信号CLKISを書き込みクロックとして予備側データ信号DATAISを順次書き込み、VCO15が出力する読み出しクロック信号CLKRを読み出しクロックとして順次読み出し、データ信号DATARとして出力する。

【0011】フレーム同期回路3は、FIFOメモリ2が出力したデータ信号DATARとそのクロックである読み出しクロック信号CLKRとを入力し、データ信号DATAFPSにフレーム同期して予備側フレームパルスFPSを出力する。フレーム同期回路4は、現用回線で伝送されてきた現用側データ信号DATAI及びそのクロックである現用側クロック信号CLKIを入力し、現用側データ信号DATAIにフレーム同期して現用側フレームパルスFPSを出力する。

【0012】計数回路5は、現用側フレームパルスFPSをスタート信号とし予備側フレームパルスFPSをストップ信号として読み出しクロック信号CLKRを計数し、計数値を出力する。この計数値は、現用側フレームパルスFPSを基準として予備側フレームパルスFPSが何クロック周期分遅れているかを示す信号であり、現用側データ信号DATAIを基準としてデータ信号DATARが何クロック周期分遅れているかを示す信号になっている。現用側データ信号DATAIとデータ信号DATARとの相対遅延時間差がなければ、計数値は零になる。制御回路6は、データ信号のフレーム長の情報と計数回路5が出力した計数値と回線切替え制御装置(図示せず)からの回線切替え指令に基づいて、現用側データ信号DATAIとデータ信号DATARとの相対遅延時間差が小さくなるようにN分周器12の分周比Nを制御し、又、計数回路5が出力した計数値が零になると切替え制御信号を発生して出力する。

【0013】切替え回路7は、現用側データ信号DATAI、現用側クロック信号CLKI、データ信号DATAR、読み出しクロック信号CLKRを入力し、制御回路6から切替え制御信号が入力すると、出力データ信号DATAO、出力クロック信号CLKOとして選択出力する信号をそれまでの現用側データ信号DATAI、現用側クロック信号CLKIからデータ信号DATAR、読み

出しクロック信号CLKRに切替える。

【0014】図1に示す実施例は以上説明した構成になっているので、現用回線で伝送されてきた現用側データ信号DATAI及びそのクロックである現用側クロック信号CLKIは切替え回路7に直接入力する。回線切替え制御装置からの回線切替え指令により送端で現用回線に並列接続された予備回線で伝送されてきた予備側データ信号DATASは、FIFOメモリ2に順次書き込まれ読出されることにより遅延され、データ信号DATARとなってそのクロックである読出しクロック信号CLKRと共に切替え回路7に入力する。
10

【0015】現用側データ信号DATAIと予備側データ信号DATASとの相対遅延時間差の最大変動幅が±mクロック周期であるとして、FIFOメモリ2によりこの最大変動幅を調整するため、FIFOメモリ2のデータ信号記憶容量を $2m+1$ クロック周期分にする。又、現用側データ信号DATAIが予備側データ信号DATASに対して平均としてmクロック周期遅れるように相対遅延時間差の固定成分の初期調整をしておく。これ等設定により、FIFOメモリ2による遅延量は最小0、最大 $2m$ クロック周期となり、データ信号DATARは予備側データ信号DATASより最小0、最大 $2m$ クロック周期だけ遅れるから、切替え回路7に入力する両データ信号の相対遅延時間差は±mクロック周期以下となる。FIFOメモリ1による遅延量を調整して切替え回路7に入力する両データ信号の相対遅延時間差を1クロック周期以内にできる。

【0016】計数回路5が outputする計数値をnとして、データ信号DATARが現用側データ信号DATAIに対しても遅れている場合、計数値nはクロック周期を単位とするこの遅れそのものである。逆に進んでいる場合、計数回路5のストップ信号である予備側フレームパルスFPSはスタート信号である現用側フレームパルスFPのフレームより1フレーム後のフレームのフレームパルスであるから、フレーム長をfクロック周期として、値 $f-n$ がこの進みである。データ信号DATARと現用側データ信号DATAIとの相対遅延時間差は±mクロック周期以下であることとフレーム長fクロック周期は相対遅延時間差の最大変動幅±mクロック周期よりはるかに大きいことから、この場合の値nは値fよりもや小さく値mよりもはるかに大きい。このことから、値fと値mとの間のしきい値で計数値nをしきい値判定して進みか遅れかの識別をすることができる。

【0017】制御回路6は、回線切替え指令が入力していないときN分周器12の分周比NをM分周器11の分周比Mに等しくするように制御している。したがって、このときFIFOメモリ1の読出しクロックである読出しクロック信号CLKRは書き込みクロックである予備側クロック信号CLKSに位相同期しているので、FIFOメモリ1による遅延量は初期状態によりきまる量を

とり続ける。

【0018】制御回路6は、回線切替え指令が入力すると、計数回路5が outputする計数値nをしきい値判定し、値nがしきい値より小さい場合、データ信号DATARが現用側データ信号DATAIに対して遅れていると判定する。この場合、制御回路6はN分周器12の分周比NをM分周器11の分周比Mより値nに応じて小さくするように制御する。この制御により読出しクロックである読出しクロック信号CLKRの周波数が書き込みクロックである予備側クロック信号CLKSの周波数より高くなり、書き込みクロックの位相に対して読出しクロックの位相が時間とともに進むので、FIFOメモリ1からの読出し速度が書き込み速度より速くなり、FIFOメモリ1による遅延量が時間とともに減少し、データ信号DATARの現用側データ信号DATAIに対する遅れが減少していく。その結果として遅れが無くなり計数回路5が outputする計数値nが零になると、制御回路6はN分周器12の分周比NをM分周器11の分周比Mに等しくし、切替え制御信号を切替え回路7へ出力する。

【0019】制御回路6は、しきい値判定で値nがしきい値より大きい場合、データ信号DATARが現用側データ信号DATAIに対して進んでいると判定する。この場合、制御回路6は値 $f-n$ を算出し、N分周器12の分周比NをM分周器11の分周比Mより値 $f-n$ に応じて大きくするように制御する。この制御により読出しクロックである読出しクロック信号CLKRの周波数が書き込みクロックである予備側クロック信号CLKSの周波数より低くなり、書き込みクロックの位相に対して読出しクロックの位相が時間とともに遅れるので、FIFOメモリ1からの読出し速度が書き込み速度より遅くなり、FIFOメモリ1による遅延量が時間とともに増大し、データ信号DATARの現用側データ信号DATAIに対する進みが減少していく。その結果として進みが無くなり計数回路5が outputする計数値nが零になると、制御回路6はN分周器12の分周比NをM分周器11の分周比Mに等しくし、切替え制御信号を切替え回路7へ出力する。

【0020】切替え回路7は、切替え制御信号が入力したとき現用側データ信号DATAIとデータ信号DATARとの相対遅延時間差が1クロック周期以内になっているので、選択出力する出力データ信号DATAOを現用側データ信号DATAIからデータ信号DATARに瞬断無しに切替えることができる。

【0021】制御回路6は、N分周器12の分周比NをM分周器11の分周比Mより小さくすることによりFIFOメモリ1による遅延量を時間とともに減少させ、分周比Nを分周比Mより大きくすることにより遅延量を時間とともに増大させて現用側データ信号DATAIとデータ信号DATARとの相対遅延時間差を調整しているが、N分周器12の分周比Nを固定し、分周比Nを小さく

くするかわりにM分周器11の分周比Mを大きくし、分周比Nを大きくするかわりに分周比Mを小さくするよう¹⁰にM分周器11の分周比Mを制御するようにしてもよい。

【0022】

【発明の効果】以上説明したように本発明は、予備側クロック信号を書き込みクロックとして予備側データ信号をFIFOメモリに一旦書き込み、可変周波数発振器出力を第1の分周器で分周した出力と予備側クロック信号を第2の分周器で分周した出力とを位相比較する位同期ループにより発生した読出しクロックで読出すことにより予備側データ信号を遅延させ、遅延させたデータ信号のフレームパルスと現用側データ信号のフレームパルスとの進み遅れを検出し、検出結果に基づいて第1の分周器の分周比と第2の分周器の分周比との比を制御してFIFOメモリの遅延量を増減させることにより遅延させたデータ信号と現用側データ信号との相対遅延時間差を無

くした後切替えるという、瞬断無しに回線切替えができる同期切替え装置の具体的な構成を提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の1実施例を示すブロック図である。

【符号の説明】

- | | |
|------|----------|
| 1 | 読出し制御部 |
| 2 | FIFOメモリ |
| 3, 4 | フレーム同期回路 |
| 10 | |
| 5 | 計数回路 |
| 6 | 制御回路 |
| 7 | 切替え回路 |
| 11 | M分周器 |
| 12 | N分周器 |
| 13 | 位相比較器 |
| 15 | VCO |

[図1]

